

Министерство науки и высшего образования Российской Федерации
Лысьвенский филиал федерального государственного автономного образовательного учреждения
высшего образования
«Пермский национальный исследовательский политехнический университет»

**УЧЕБНО-МЕТОДИЧЕСКИЙ КОМПЛЕКС ДИСЦИПЛИНЫ
«ПМ.01 ПРОЕКТИРОВАНИЕ ЦИФРОВЫХ УСТРОЙСТВ»
«МДК 01.01. ЦИФРОВАЯ СХЕМОТЕХНИКА»**

основной профессиональной образовательной программы подготовки
специалистов среднего звена
по специальности 09.02.01 Компьютерные системы и комплексы

**МЕТОДИЧЕСКИЕ УКАЗАНИЯ
для выполнения курсовой работы**

Лысьва, 2021 г.

Составитель Федосеева Е.Л., ПМ.01 Проектирование цифровых устройств, МДК 01.01.
Цифровая схемотехника, 28 с.

Методические указания рассмотрены и утверждены на заседании предметной (цикловой) комиссии Естественных дисциплин, протокол № 1 от «30» августа 2021 г.

СОДЕРЖАНИЕ

ВВЕДЕНИЕ.....	4
ТРЕБОВАНИЯ К СТРУКТУРЕ И ОФОРМЛЕНИЮ КУРСОВОГО ПРОЕКТА. ЗАЩИТА КУРСОВОЙ РАБОТЫ (ПРОЕКТА).....	6
ЗАДАНИЕ КУРСОВОГО ПРОЕКТА.....	9
ПРИМЕР ВЫПОЛНЕНИЯ КУРСОВОГО ПРОЕКТА.....	10
СПИСОК РЕКОМЕНДОВАННЫХ ИСТОЧНИКОВ.....	17
ПРИЛОЖЕНИЕ А.....	18
ПРИЛОЖЕНИЕ Б.....	19
ПРИЛОЖЕНИЕ В.....	21
ПРИЛОЖЕНИЕ Г.....	22

ВВЕДЕНИЕ

В процессе обучения студент выполняет все виды самостоятельной деятельности. Одним из основных видов самостоятельной деятельности является выполнение курсового проекта.

Написание и защита курсового проекта является одним из возможных вариантов завершения изучения того или иного курса.

Приступая к выполнению курсовой работы студенту необходимо ознакомиться с основными этапами его выполнения.

Настоящие методические указания предназначены для студентов специальности

Компьютерные системы и комплексы, выполняющих курсовую работу по междисциплинарному курсу «Цифровая схемотехника», входящая в профессиональный модуль «Проектирование цифровых устройств».

Назначение методических указаний – определить цель, содержание, объем, порядок выполнения работы, правила оформления и защиту курсовой работы, критерии оценки курсовой работы.

При выполнении курсовой работы студентами специальности 09.02.01 Компьютерные системы и комплексы будут частично освоены общекультурные и профессиональные компетенции (таблица 1).

Таблица 1 – Результаты обучения

Код	Наименование результатов обучения
ПК 1.1	Разрабатывать схемы цифровых устройств на основе интегральных схем разной степени интеграции
ПК 1.2	Выполнять требования технического задания на проектирование цифровых устройств
ПК 1.5	Выполнять требования нормативно – технической документации
ОК 1	Понимать сущность и социальную значимость своей будущей профессии, проявлять к ней устойчивый интерес
ОК 2	Организовать собственную деятельность, определять методы и способы выполнения профессиональных задач, оценивать их эффективность и качество
ОК 3	Решать проблемы, оценивать риски и принимать решения в нестандартных ситуациях
ОК 4	Осуществлять поиск, анализ и оценку информации, необходимой для постановки и решения профессионального и личностного развития
ОК 5	Использовать информационно – коммуникационные технологии для совершенствования профессиональной деятельности
ОК 6	Работать в коллективе и команде, обеспечивать ее сплочение, эффективно общаться с коллегами, руководством, потребителями

ОК 7	Ставить цели, мотивировать деятельность подчиненных, организовывать и контролировать их работу с принятием на себя ответственности за результат выполнения заданий
ОК 8	Самостоятельно определять задачи профессионального и личностного развития, заниматься самообразованием, осознанно планировать повышение квалификации
ОК 9	Быть готовым к смене технологий в профессиональной деятельности

ТРЕБОВАНИЯ К СТРУКТУРЕ И ОФОРМЛЕНИЮ КУРСОВОЙ РАБОТЫ. ЗАЩИТА КУРСОВОЙ РАБОТЫ

Курсовая работа должна быть выполнена в компьютерном варианте и распечатана.

В курсовой работе расшифровка условных обозначений обязательна.

Общий объем курсовой работы 20 – 25 страниц. Листы подшиваются в папку вместе со схемами. Все схемы, формулы должны быть пронумерованы и снабжены подписями со ссылками в тексте, а также должны быть ссылки на используемые источники литературы.

Материалы в курсовой работе следует располагать в следующем порядке:

- титульный лист (ПРИЛОЖЕНИЕ А);
- задание на курсовую работу (ПРИЛОЖЕНИЕ Б);
- содержание;
- обозначения и сокращения (при необходимости);
- введение;
- теоретические сведения о синтезе логических схем цифровых устройств;
- синтез логической схемы цифрового устройства;
- список используемых источников.

Теоретические сведения о синтезе логических схем цифровых устройств должны содержать информацию о:

- картах Карно;
- СДНФ и СКНФ;
- законах логики.

Синтез логической схемы цифрового устройства должен содержать пункты:

- выбор и основание принципиальной схемы, где подробно объясняется принцип каждого элемента схемы, рассматривается конкретный пример согласно вашему варианту. При этом следует в тексте указывать номер элемента, его обозначение по принципиальной электрической схеме с его полным техническим названием;
- выбор и обоснование элементной базы, где необходимо описать выбранные Вами микросхемы, указать их достоинства по сравнению с аналогичными элементами.

В курсовой работе допускаются сокращения слов, терминов, обозначений, только общепринятых. Курсовая работа подписывается студентом и руководителем работы. Изложение должно быть кратким и четким, без повторений.

Курсовая работа оформляется согласно ГОСТ 7.32-2001 текст печатается на одной стороне листа белой бумаги формата А4 через полтора интервала. Цвет шрифта – черный. Размер шрифта (кегель) – 12 – 14 кегль. Тип шрифта – TimesNewRoman.

Размер полей: правое – 10 мм, верхнее и нижнее – 20 мм, левое – 30 мм.

Страницы работы нумеруются арабскими цифрами (нумерация сквозная по всему тексту). Номер страницы ставится в центре нижней части листа без точки. Титульный лист включается в общую нумерацию, номер на нем не ставится. Без нумерации задание и график на курсовую работу, которые вставляются в работу.

Защита курсовой работы проводится до начала экзаменационной сессии.

Курсовая работа должна быть написана и защищена в установленные сроки. Студент, не защитивший курсовую работу в срок, считается имеющим академическую задолженность и не допускается к сдаче экзаменов.

Курсовая работа не допускается к защите, если:

- она не носит самостоятельного характера, списана из литературных источников или других авторов;
- основные вопросы не раскрыты, изложены схематично, фрагментарно;
- в тексте содержатся ошибки, научный аппарат оформлен неправильно.

Защита курсовой работы имеет целью выявить глубину и самостоятельность знаний студента по данной теме. На защите студент должен хорошо ориентироваться в представленной работе, отвечать на вопросы как теоретические, так и практического характера, относящиеся к теме работы.

Защита курсовой работы проходит по следующему плану:

- доклад студента (в котором излагаются основные положения защищаемой работы);
- ответы на вопросы по теме и ходу защиты работы.

Доклад для публичной защиты (8 – 10 минут) должен быть тщательно подготовлен. После краткого вступления в котором подчеркиваются задачи работы и степень самостоятельности в ее выполнении, следует переходить к существу работы и основным выводам. Ответы на вопросы в ходе защиты должны быть краткими и четкими без повторения того, что было сказано во время доклада.

Результаты курсовой работы оцениваются с учетом качества ее выполнения и ответов на вопросы по четырех балльной системе («отлично», «хорошо», «удовлетворительно», «неудовлетворительно»).

При получении неудовлетворительной оценки студент повторно выполняет работу по новому варианту или перерабатывает прежнюю. Студенты, не представившие в установленные сроки курсовой проект или не получившие за нее положительную отметку, считаются имеющими задолженность, которую они должны ликвидировать.

Необходимо помнить, что оценка за курсовую работу складывается не только из оценки содержания работы, но также по следующим критериям – оформления и защиты.

Выполненные работы после их защиты и зачета студенту не выдаются, а передаются в архив.

ЗАДАНИЕ КУРСОВОЙ РАБОТЫ

Выполнить синтез логической схемы цифрового устройства, имеющего 4 входа и 2 выхода, по заданным условиям его работы в виде таблицы истинности (ПРИЛОЖЕНИЕ В). Выход F определяется по первой цифре номера варианта, а Q – по второй цифре варианта (номер варианта выдается преподавателем).

Для выполнения синтеза логической схемы необходимо:

1. получить минимизированные функции СДНФ и СКНФ с использованием карт Карно:

- для нулевых и единичных значений исходных функций;
- для нулевых и единичных значений исходных функций, доопределенных нулями;
- для нулевых и единичных значений исходных функций, доопределенных единицами;

2. привести полученные функции к единому базису (И-НЕ или ИЛИ-НЕ);

3. выбрать по справочнику микросхемы, необходимые для технической реализации полученных функций (ПРИЛОЖЕНИЕ Г);

4. определить наиболее оптимальный вариант технической реализации;

5. начертить принципиальную электрическую схему наиболее оптимального варианта.

ПРИМЕР ВЫПОЛНЕНИЯ КУРСОВОЙ РАБОТЫ

Исходные данные:

Цифровое устройство имеет 4 входа, 2 выхода.

Условия работы представлены таблицей истинности (таблица 2).

Таблица 2 – Таблица истинности исходных данных

	Входы				Выходы	
	a	b	c	d	F	Q
					5	3
0	0	0	0	0	0	-
1	0	0	0	1	0	1
2	0	0	1	0	0	0
3	0	0	1	1	-	0
4	0	1	0	0	-	-
5	0	1	0	1	1	0
6	0	1	1	0	0	0
7	0	1	1	1	-	-
8	1	0	0	0	-	0
9	1	0	0	1	1	0
10	1	0	1	0	1	0
11	1	0	1	1	1	1
12	1	1	0	0	1	1
13	1	1	0	1	0	1
14	1	1	1	0	1	1
15	1	1	1	1	0	1

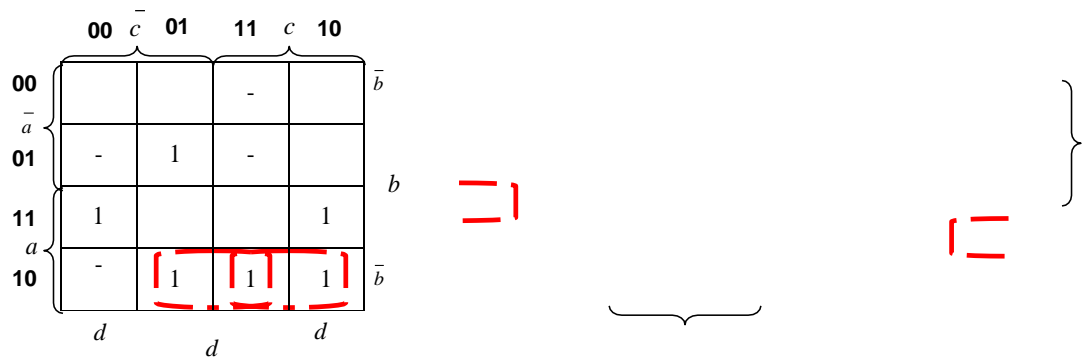
Решение:

1. Получение минимизированных функций СДНФ, СКНФ с использованием карт Карно

Минимизированная функция СДНФ

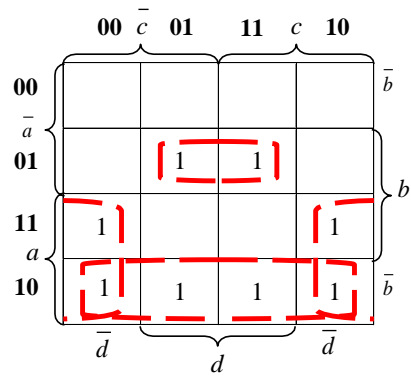
Выход F

Карта Карно для единичных значений исходной функции:



$$F = \bar{a}\bar{b}d + \bar{a}bc + a\bar{b}d + abcd$$

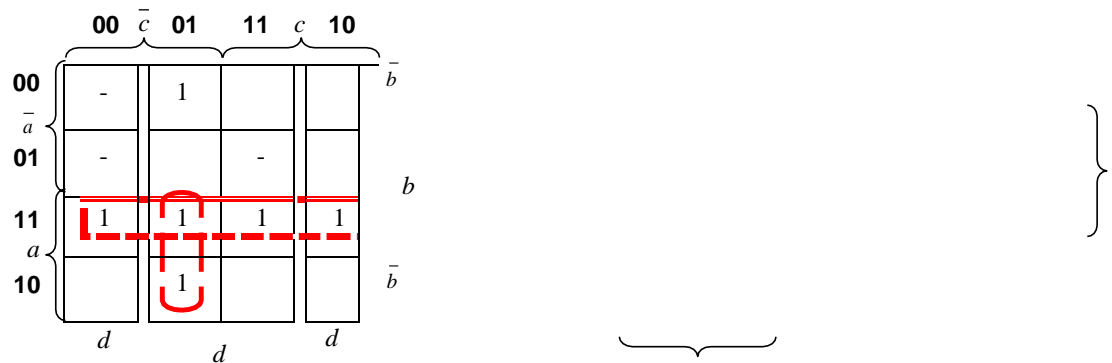
Карта Карно для единичных значений исходной функции, доопределенных единицами



$$F = \bar{a}b + \bar{a}d + \bar{a}bd$$

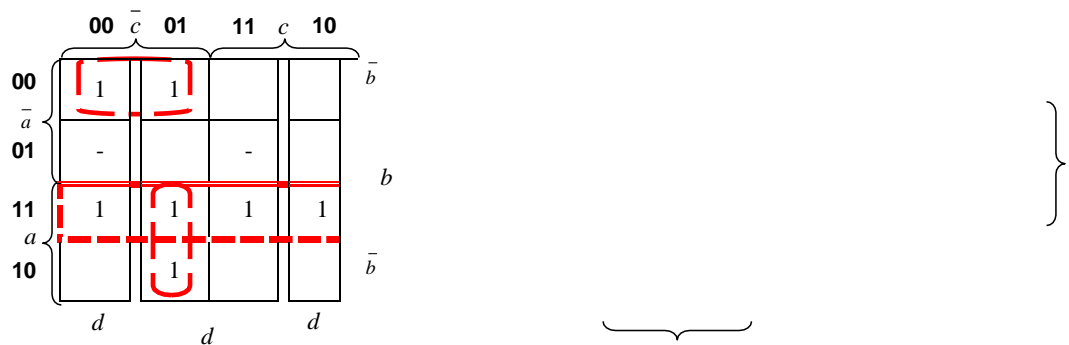
Выход Q

Карта Карно для единичных значений исходной функции



$$Q = ab + acd + \bar{a}\bar{b}cd$$

Карта Карно для единичных значений исходной функции, доопределенных единицами

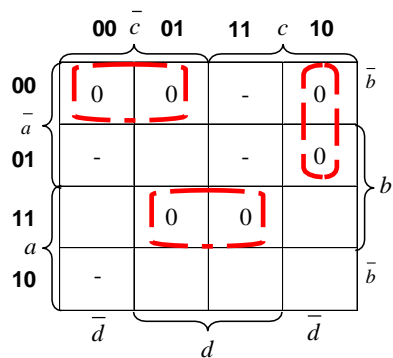


$$Q = ab + acd + \overline{abc}$$

Минимизированная функция СКНФ

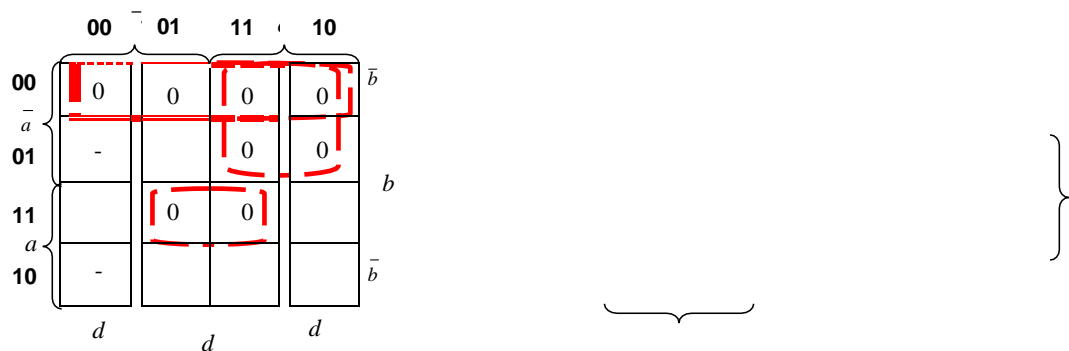
Выход F

Карта Карно для нулевых значений исходной функции:



$$F = \overline{abc} + \overline{acd} + \overline{abd} = (a + b + c) \cdot (a + \overline{c} + d) \cdot (\overline{a} + \overline{b} + \overline{d})$$

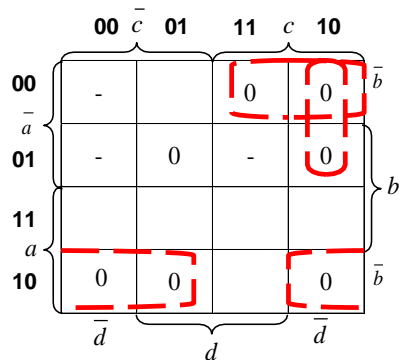
Карта Карно для нулевых значений исходной функции, доопределенных нулями



$$F = \overline{ab} + \overline{ac} + \overline{abd} = (a + b) \cdot (a + \overline{c}) \cdot (\overline{a} + \overline{b} + \overline{d})$$

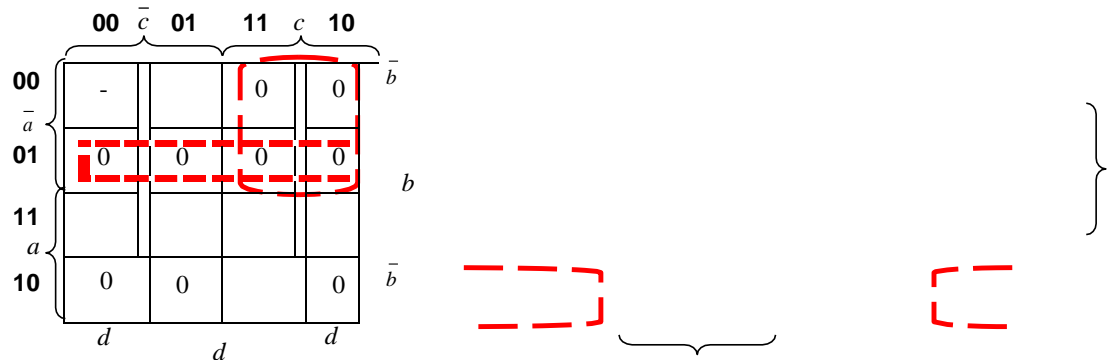
Выход Q

Карта Карно для нулевых значений исходной функции:



$$Q = \overline{abcd} + \overline{abc} + \overline{acd} + \overline{abd} + \overline{abc} = (a + \overline{b} + c + d) \cdot (a + \overline{b} + c) \cdot (a + c + d) \cdot (a + \overline{b} + d) \cdot (a + \overline{b} + c)$$

Карта Карно для нулевых значений исходной функции, доопределенных нулями



$$Q = \overline{bc} + \overline{ab} + \overline{abd} + \overline{abc} = (b + \overline{c}) \cdot (a + \overline{b}) \cdot (a + \overline{b} + d) \cdot (a + \overline{b} + c)$$

2. Приведение к единому базису И-НЕ:

$$F = \overline{abd} + \overline{abc} + \overline{abd} + \overline{abcd} = \overline{abd} \cdot \overline{abc} \cdot \overline{abd} \cdot \overline{abcd}$$

$$F = \overline{ab} + \overline{ad} + \overline{abd} = \overline{ab} \cdot \overline{ad} \cdot \overline{abd}$$

$$F = (a + b + c) \cdot (a + \overline{c} + d) \cdot (a + \overline{b} + d) = \overline{abc} \cdot \overline{acd} \cdot \overline{abd}$$

$$F = (a + b) \cdot (a + c) \cdot (a + \overline{b} + d) = \overline{ab} \cdot \overline{ac} \cdot \overline{abd}$$

$$Q = \overline{ab} + \overline{acd} + \overline{abcd} = \overline{ab} \cdot \overline{acd} \cdot \overline{abcd}$$

$$Q = \overline{ab} + \overline{acd} + \overline{abc} = \overline{ab} \cdot \overline{acd} \cdot \overline{abc}$$

$$Q = (a + \overline{b} + c + d) \cdot (\overline{a} + \overline{b} + c) \cdot (\overline{a} + c + d) \cdot (a + \overline{b} + d) \cdot (a + \overline{b} + c) = \overline{abcd} \cdot \overline{abc} \cdot \overline{acd} \cdot \overline{abd} \cdot \overline{abc}$$

$$Q = (b + \overline{c}) \cdot (a + \overline{b}) \cdot (a + \overline{b} + d) \cdot (a + \overline{b} + c) = \overline{bc} \cdot \overline{ab} \cdot \overline{abd} \cdot \overline{abc}$$

Приведение к единому базису ИЛИ-НЕ:

$$F = \overline{abd} + \overline{abc} + \overline{abd} + \overline{abcd} = \overline{a+b+d} + \overline{a+b+c} + \overline{a+b+d} + \overline{a+b+c+d}$$

$$F = \overline{ab} + \overline{ad} + \overline{abd} = \overline{a+b} + \overline{a+d} + \overline{a+b+d}$$

$$F = (a+b+c) \cdot (a+c+d) \cdot (\overline{a+b+d}) = \overline{a+b+c} + \overline{a+c+d} + \overline{a+b+d}$$

$$F = (a+b) \cdot (a+c) \cdot (\overline{a+b+d}) = \overline{a+b} + \overline{a+c} + \overline{a+b+d}$$

$$Q = \overline{ab} + \overline{acd} + \overline{abcd} = \overline{a+b} + \overline{a+c+d} + \overline{a+b+c+d}$$

$$Q = \overline{ab} + \overline{acd} + \overline{abc} = \overline{a+b} + \overline{a+c+d} + \overline{a+b+c}$$

$$Q = (a+b+c+d) \cdot (\overline{a+b+c}) \cdot (\overline{a+c+d}) \cdot (\overline{a+b+d}) \cdot (\overline{a+b+c}) = \\ = \overline{a+b+c+d} + \overline{a+b+c} + \overline{a+c+d} + \overline{a+b+d} + \overline{a+b+c}$$

$$Q = (b+c) \cdot (a+b) \cdot (\overline{a+b+d}) \cdot (\overline{a+b+c}) = \overline{b+c} + \overline{a+b} + \overline{a+b+d} + \overline{a+b+c}$$

3. Выбор микросхем, необходимых для технической реализации полученных функций

$$F = \overline{abd} \cdot \overline{abc} \cdot \overline{abd} \cdot \overline{abcd}$$

$$Q = \overline{ab} \cdot \overline{acd} \cdot \overline{abcd}$$

Таблица 3 – Выбор микросхем

Необходимо:	Есть в наличии:	Микросхема:	Остаток:
3 элемента 4И-НЕ	2 элемента 4И-НЕ 2 элемента 4И-НЕ	К155ЛА1 К155ЛА1	1 элемент 4И-НЕ
5 элементов 3И-НЕ	3 элемента 3И-НЕ 3 элемента 3И-НЕ	К155КА4 К155КА4	1 элемент 3И-НЕ
1 элемент 2И-НЕ	4 элемента 2И-НЕ	К155ЛА3	3 элемента 2И-НЕ
4 элемента НЕ	1 элемент 4И-НЕ 1 элемент 3И-НЕ 3 элемента 2И-НЕ		1 элемент 2И-НЕ

Всего требуется 5 микросхем.

$$F = \overline{ab} \cdot \overline{ad} \cdot \overline{abd}$$

$$Q = \overline{ab} \cdot \overline{acd} \cdot \overline{abc}$$

Таблица 4 – Выбор микросхем

Необходимо:	Есть в наличии:	Микросхема:	Остаток:
5 элемента 3И-НЕ	3 элемента 3И-НЕ 3 элемента 3И-НЕ	К155КА4 К155КА4	1 элемент 3И-НЕ

3 элемента 2И-НЕ	4 элемента 2И-НЕ	K155ЛА3	1 элемент 2И-НЕ
4 элемента НЕ	4 элемента 2И-НЕ	K155ЛА3	-

Всего требуется 4 микросхем.

$$F = \overline{abc} \cdot \overline{acd} \cdot \overline{abd}$$

$$Q = \overline{abcd} \cdot \overline{abc} \cdot \overline{acd} \cdot \overline{abd} \cdot \overline{abc}$$

Таблица 5 – Выбор микросхем

Необходимо:	Есть в наличии:	Микросхема:	Остаток:
1 элемент 5И-НЕ	1 элемент 8И-НЕ	K155ЛА2	-
1 элемент 4И-НЕ	2 элемента 4И-НЕ	K155КА1	1 элемент 4И-НЕ
8 элементов 3И-НЕ	3 элемента 3И-НЕ 3 элемента 3И-НЕ 3 элемента 3И-НЕ	K155ЛА4 K155ЛА4 K155ЛА4	1 элемент 3И-НЕ
6 элементов НЕ	4 элемента 2И-НЕ 1 элемент 4И-НЕ 1 элемент 3И-НЕ	K155ЛА3	-

Всего требуется 6 микросхем.

$$F = \overline{ab} \cdot \overline{ac} \cdot \overline{abd}$$

$$Q = \overline{bc} \cdot \overline{ab} \cdot \overline{abd} \cdot \overline{abc}$$

Таблица 6 – Выбор микросхем

Необходимо:	Есть в наличии:	Микросхема:	Остаток:
1 элемент 4И-НЕ	2 элемента 4И-НЕ	K155КА1	1 элемент 4И-НЕ
3 элемента 3И-НЕ	3 элемента 3И-НЕ	K155ЛА4	-
4 элемента 2И-НЕ	4 элемента 3И-НЕ	K155ЛА3	-
6 элементов НЕ	6 элементов НЕ	K155ЛН1	-

Всего требуется 4 микросхем.

4. Определение оптимального варианта технической реализации

$$F = \overline{ab} \cdot \overline{ad} \cdot \overline{abd}$$

$$Q = \overline{ab} \cdot \overline{acd} \cdot \overline{abc}$$

Таблица 7 – Выбор микросхем

Необходимо:	Есть в наличии:	Микросхема:	Остаток:
5 элементов 3И-НЕ	3 элемента 3И-НЕ 3 элемента 3И-НЕ	K155КА4 K155КА4	1 элемент 3И-НЕ
3 элемента 2И-НЕ	4 элемента 2И-НЕ	K155ЛА3	1 элемент 2И-НЕ
4 элемента НЕ	4 элемента 2И-НЕ	K155ЛА3	–

Для реализации схемы необходимо 4 микросхемы.

5. Принципиальная электрическая схема наиболее оптимального варианта (рис. 1)

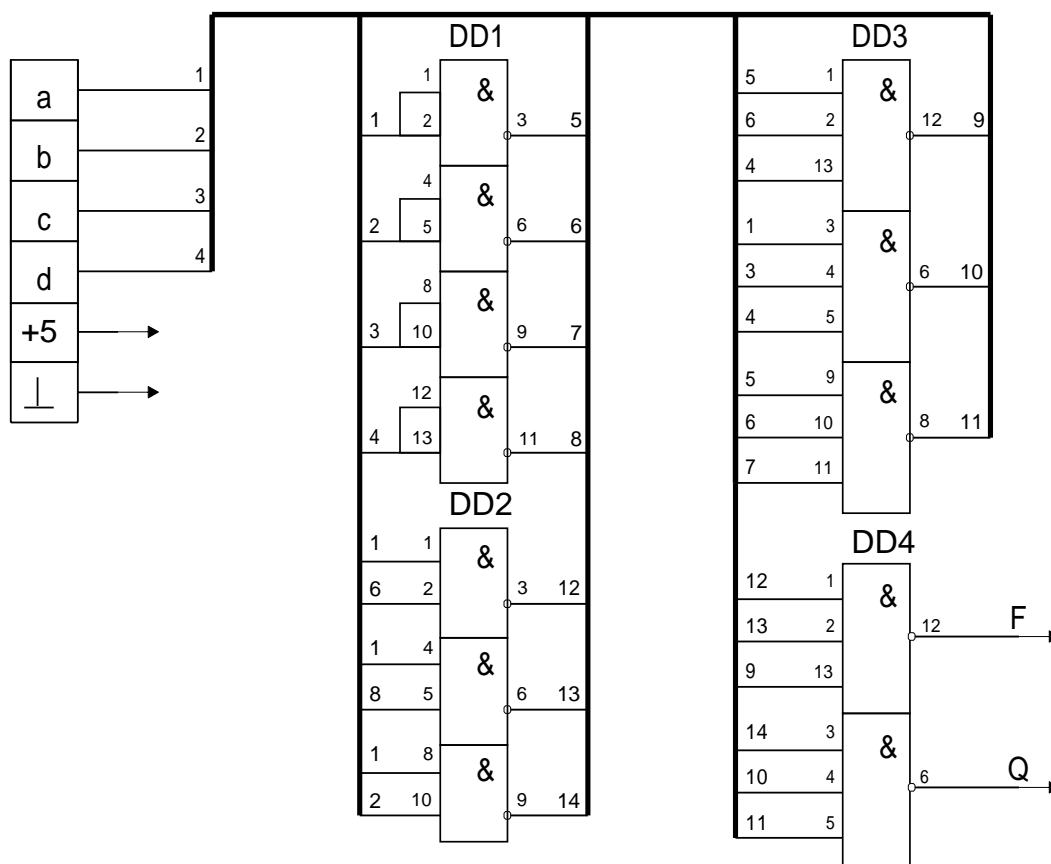


Рисунок 1 – Принципиальная электрическая схема

СПИСОК РЕКОМЕНДОВАННЫХ ИСТОЧНИКОВ

- 1 Мышляева И.М., Цифровая схемотехника: Учебник для сред.проф.образования. – М.: Издательский центр «Академия», 2005. – 400 с.
- 2 Федосеева Е.Л., Методические указания по подготовке мультимедийных презентаций доклада на защите выпускных квалификационных работ. – Лысьва, 2012 г.

Министерство науки и высшего образования Российской Федерации
Лысьвенский филиал федерального государственного автономного образовательного учреждения
высшего образования
«Пермский национальный исследовательский политехнический университет»

Факультет: Среднего профессионального образования

Специальность: 09.02.01 Компьютерные системы и комплексы

КУРСОВАЯ РАБОТА

по дисциплине: МДК 01.01 Цифровая схемотехника

на тему: «Синтез логической схемы цифрового устройства»

Вариант ____

Курсовую работу выполнил

студент группы _____

« ____ » _____ 202_ г.

(подпись студента)

Курсовую работу принял

Преподаватель

Оценка _____

(подпись преподавателя)

« ____ » _____ 20__ г.

Лысьва, 202__ г.

ПРИЛОЖЕНИЕ Б

Министерство науки и высшего образования Российской Федерации
Лысьвенский филиал федерального государственного автономного образовательного учреждения
высшего образования
«Пермский национальный исследовательский политехнический университет»

ПЦК Естественных дисциплин

«УТВЕРЖДАЮ»

Председатель ПЦК

_____ М.Н. Апталаев

«_____» _____ 202__ год

ЗАДАНИЕ на выполнение курсовой работы

Фамилия И.О. _____

Факультет Среднего профессионального образования _____ Группа _____

Начало выполнения работы: _____

Контрольные сроки просмотра работы: _____

Защита работы: _____

1. Наименование темы: «Синтез логической схемы цифрового устройства».

2. Исходные данные к работе:

Объект исследования – цифровые устройства

Предмет исследования – логические схемы

Цель работы – произвести синтез логической схемы цифрового устройства

3. Содержание:

Введение (актуальность темы, цель и задачи курсового проекта)

Теоретические сведения о синтезе логических схем цифровых устройств (карты Карно, СДНФ и СКНФ, законы логики)

Синтез логической схемы цифрового устройства (решение курсового проекта)

Руководитель курсовой работы

Преподаватель _____ (_____)

Задание получил _____ (_____)

КАЛЕНДАРНЫЙ ГРАФИК ВЫПОЛНЕНИЯ

КУРСОВОЙ РАБОТЫ

№ пп	Этапы работы	Объём этапа, %	Сроки выполнения		Примечание
			Начало	Конец	
1.	Получение задания	5 %			
2.	Подбор теоретического материала	10 %			
3.	Минимизация картами Карно	20 %			
4.	Приведение к единому базису	30 %			
5.	Выбор логических элементов и построение схемы	25 %			
6.	Оформление курсового проекта	10 %			
7.	Защита курсового проекта				

Председатель ПЦК Л. Федосеева. (_____)

«__» _____ 201__ года

ПРИЛОЖЕНИЕ В

Варианты заданий

	Входы				Выход F (варианты)																
	a	b	c	d	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17
0	0	0	0	0	0	-	0	-	0	-	0	0	0	-	1	1	1	-	0	0	1
1	0	0	0	1	0	1	0	1	0	1	1	0	1	0	1	0	0	1	0	1	1
2	0	0	1	0	0	0	1	1	0	-	0	-	1	0	1	-	-	1	0	1	-
3	0	0	1	1	-	0	-	0	0	1	0	-	-	0	-	0	-	0	1	-	0
4	0	1	0	0	-	-	1	0	1	0	-	1	0	1	0	1	1	0	-	-	0
5	0	1	0	1	1	0	1	0	1	-	-	1	1	-	0	1	-	-	1	1	1
6	0	1	1	0	0	0	0	0	1	0	1	-	1	1	1	-	1	1	1	0	-
7	0	1	1	1	-	-	-	-	-	1	1	0	-	1	-	-	1	1	-	-	0
8	1	0	0	0	-	0	-	1	1	1	-	1	-	1	0	1	1	0	1	1	1
9	1	0	0	1	1	0	1	1	0	1	1	1	1	0	0	1	0	0	1	1	0
10	1	0	1	0	1	0	0	0	1	-	0	1	0	1	0	1	0	-	1	0	1
11	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1	0	1	1	0	1	1
12	1	1	0	0	1	1	1	0	1	0	1	0	1	0	1	0	1	0	1	0	0
13	1	1	0	1	0	1	-	-	0	1	0	-	1	1	0	1	-	1	0	1	1
14	1	1	1	0	1	1	1	1	1	1	1	1	1	0	1	1	0	1	0	1	0
15	1	1	1	1	0	1	0	1	-	-	1	1	0	0	1	-	1	1	1	-	-

	Входы				Выход Q (варианты)																
	a	b	c	d	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17
0	0	0	0	0	0	-	0	-	1	1	-	1	1	-	0	0	0	1	0	0	0
1	0	0	0	1	0	1	0	1	0	1	0	0	1	1	1	0	1	1	1	0	0
2	0	0	1	0	0	0	0	1	-	-	0	-	-	-	1	1	1	1	0	-	0
3	0	0	1	1	-	0	0	0	-	0	0	0	0	1	-	-	-	-	0	-	0
4	0	1	0	0	-	-	1	0	1	0	1	1	0	0	-	1	0	0	-	1	1
5	0	1	0	1	1	0	1	-	-	1	-	1	1	-	1	1	1	0	-	1	1
6	0	1	1	0	0	0	1	1	1	-	1	-	-	0	0	0	1	1	1	-	1
7	0	1	1	1	-	-	-	1	1	0	1	-	0	1	-	-	-	-	1	0	-
8	1	0	0	0	-	0	1	0	1	1	1	1	1	1	1	-	-	0	-	1	1
9	1	0	0	1	1	0	0	0	0	0	0	1	0	1	1	1	1	0	1	1	0
10	1	0	1	0	1	0	1	-	0	1	1	1	1	-	0	0	0	0	0	1	1
11	1	0	1	1	1	1	1	1	1	1	1	0	1	1	1	1	1	1	1	1	1
12	1	1	0	0	1	1	1	0	1	0	0	0	0	0	0	1	1	1	1	0	1
13	1	1	0	1	0	1	0	1	-	1	1	1	1	1	1	-	1	0	0	-	0
14	1	1	1	0	1	1	1	1	0	0	0	1	0	1	1	1	1	1	1	1	1
15	1	1	1	1	0	1	-	1	1	-	0	-	-	-	-	0	0	1	1	1	-

Микросхемы семейства 155

Наименование	Краткое описание
K155AG1	Одновибратор с логическим элементом на входе
K155AG3 KM155AG3	Сдвоенный одновибратор с повторным запуском
K155AP1	Формирователь разрядной записи и схема установки нуля
K155IB1	Приоритетный шифратор 8 каналов в 3
K155ID1 KM155ID1	Двоично-десятичный дешифратор с высоковольтным выходом
K155ID3	Дешифратор-демультиплексор 4 линии на 16
K155ID4 KM155ID4	Сдвоенный дешифратор мультиплексор 2-4
K155ID8 KM155ID8	Дешифратор для управления неполной матрицей 7x5 точек на дискретных светоизлучающих диодах
K155ID9 KM155ID9	Дешифратор для управления дискретной матрицей на светодиодах
K155ID10	Двоично-десятичный дешифратор
K155ID11 KM155ID11	Дешифратор на 3 входа и 8 выходов для управления шкалой с заполнением
K155ID12 KM155ID12	Дешифратор на 3 входа и 8 выходов для управления шкалой со сдвигом одной точки
K155ID13 KM155ID13	Дешифратор на 3 входа и 8 выходов для управления шкалой со сдвигом двух точек
K155ID15	Дешифратор для управления линейной светоизлучающей шкалой
K155IE1	Декадный счетчик с фазоимпульсным представлением информации
K155IE2 KM155IE2	Двоично-десятичный четырехразрядный счетчик
K155IE4 KM155IE4	Счетчик-делитель на 12
K155IE5 KM155IE5	Двоичный счетчик
K155IE6 KM155IE6	Двоично-десятичный реверсивный счетчик
K155IE7 KM155IE7	Четырехразрядный двоичный реверсивный счетчик
K155IE8 KM155IE8	Делитель частоты с переменным коэффициентом деления
K155IE9	Синхронный десятичный четырехразрядный счетчик
K155IE14	Высокочастотный счетчик-делитель с программируемым коэффициентом деления
K155IM1 KM155IM1	Одноразрядный полный сумматор
K155IM2 KM155IM2	Двухразрядный (двоичный) сумматор
K155IM3 KM155IM3	Четырехразрядный (двоичный) сумматор
K155IP2 KM155IP2	Восьмиразрядная схема контроля четности и нечетности

К155ИП3	Арифметико-логическое устройство
К155ИП4 КМ155ИП4	Блок ускоренного переноса для арифметического узла
К155ИР1 КМ155ИР1	Четырехразрядный универсальный сдвиговый регистр
К155ИР13	Восьмиразрядный реверсивный сдвиговый регистр
К155ИР15 КМ155ИР15	Регистр четырехразрядный с тремя состояниями выхода
К155ИР17	Двенадцатиразрядный регистр последовательного приближения
К155ИР32	Четыре регистра на 4 разряда с открытым коллекторным выходом
К155КП1	Селектор-мультиплексор данных на 16 каналов со стробированием
К155КП2 КМ155КП2	Сдвоенный цифровой селектор-мультиплексор 4-1
К155КП5 КМ155КП5	Селектор-мультиплексор данных на 8 каналов
К155КП7 КМ155КП7	Селектор-мультиплексор данных на 8 каналов со стробированием
К155ЛА1 КМ155ЛА1	Два логических элемента 4И-НЕ
К155ЛА2 КМ155ЛА2	Логический элемент 8И-НЕ
К155ЛА3 КМ155ЛА3	Четыре логических элемента 2И-НЕ
К155ЛА4 КМ155ЛА4	Три логических элемента 3И-НЕ
К155ЛА6 КМ155ЛА6	Два логических элемента 4И-НЕ с большим коэффициентом разветвления по выходу (усил.)
К155ЛА7 КМ155ЛА7	Два логических элемента 4И-НЕ с открытым коллекторным выходом и большим коэффициентом разветвления по выходу
К155ЛА8 КМ155ЛА8	Четыре логических элемента 2И-НЕ с открытым коллекторным выходом
К155ЛА10 КМ155ЛА10	Три логических элемента 3И-НЕ с открытым коллекторным выходом
К155ЛА11 КМ155ЛА11	Четыре высоковольтных логических элемента 2И-НЕ с открытым коллектором
К155ЛА12 КМ155ЛА12	Четыре логических элемента 2И-НЕ с высокой нагрузочной способностью (усил.)
К155ЛА13 КМ155ЛА13	Четыре буферных логических элемента 2И-НЕ с открытым коллектором (усил.)
К155ЛА18	Два логических элемента 2И-НЕ с мощным открытым коллекторным выходом (усил.)
К155ЛД1 КМ155ЛД1	Два четырехходовых логических расширителя по ИЛИ
К155ЛД3 КМ155ЛД3	Восьмивходовый расширитель по ИЛИ
К155ЛЕ1 КМ155ЛЕ1	Четыре логических элемента 2ИЛИ-НЕ
К155ЛЕ2 КМ155ЛЕ2	Два логических элемента 4ИЛИ-НЕ со стробирующим импульсом и расширяющими узлами
К155ЛЕ3 КМ155ЛЕ3	Два логических элемента 4ИЛИ-НЕ со стробированием

K155JE4	Три элемента 3ИЛИ-НЕ
K155JE5 KM155JE5	Четыре логических элемента 2ИЛИ-НЕ (усил.)
K155JE6 KM155JE6	Магистральный усилитель - четыре логических элемента 2ИЛИ-НЕ (усил.)
K155JI1 KM155JI1	Четыре логических элемента 2И
K155JI5 K155JI501	Два логических элемента 2И с мощным открытым коллекторным выходом (усил.)
K155JL1 KM155JL1	Четыре логических элемента 2ИЛИ
K155JL2	Два логических элемента 2ИЛИ с мощным открытым коллекторным выходом (усил.)
K155JN1 KM155JN1	Шесть логических элементов НЕ
K155JN2	Шесть инверторов с открытым коллекторным выходом
K155JN3 KM155JN3	Шесть буферных инверторов с повышенным коллекторным напряжением (усил.)
K155JN5 KM155JN5	Шесть буферных инверторов (усил.)
K155JN6	Шесть инверторов с элементом управления по входам и тремя состояниями на выходе
K155JP4 KM155JP4	Шесть буферных формирователей с открытым коллектором
K155JP5 KM155JP5	Четыре двухвходовых логических элемента исключающее ИЛИ
K155JP7	Два логических элемента 2И-НЕ с общим входом и двумя мощными транзисторами
K155JP8 KM155JP8	Четыре буферных элемента с тремя состояниями и общей шиной
K155JP9 KM155JP9	Шесть буферных формирователей с открытым коллектором и повышенным коллекторным напряжением (усил.)
K155JP10	Шесть повторителей с элементом управления по входам и тремя состояниями на выходе
K155JP11	Шесть повторителей с отдельными элементами управления входами по двум и четырем повторителям с тремя состояниями на выходе
K155JP1 KM155JP1	Два логических элемента 2-2И-2ИЛИ-НЕ, один расширяемый по ИЛИ
K155JP3 KM155JP3	Логический элемент 2-2-2-3И-4ИЛИ-НЕ с возможностью расширения по ИЛИ
K155PP5	Преобразователь логических сигналов из двоичного кода 8-4-2-1 в семисегментный
K155PP6 KM155PP6	Преобразователь двоично-десятичного кода в двоичный
K155PP7 KM155PP7	Преобразователь двоичного кода в двоично-десятичный
K155PE3	Программируемое ПЗУ емкостью 256 бит (32x8)
K155PE21	ПЗУ на 1024 бит с использованием в качестве преобразователя двоичного кода в код знаков русского алфавита
K155PE22	ПЗУ на 1024 бит с использованием в качестве преобразователя двоичного кода в код знаков латинского алфавита

K155PE23	ПЗУ на 1024 бит с использованием в качестве преобразователя двоичного кода в код арифметических знаков и цифр
K155PE24	ПЗУ на 1024 бит с использованием в качестве преобразователя двоичного кода в код дополнительных знаков
K155ПП3	Регистровая память на 16 бит (8x2) с тремя состояниями на выходе
K155PY1 KM155PY1	ОЗУ на 16 бит (16 слов x 1 разряд) со схемами управления
K155PY2 KM155PY2	ОЗУ на 64 бит с произвольной выборкой (16 слов x 4 разряда)
K155PY5	ОЗУ на 256 бит (256 слов x 1 разряд) со схемами разрядного и адресного управления
K155PY7	ОЗУ на 1024 бит (1024 слов x 1 разряд) со схемами управления
K155ТВ1 KM155ТВ1	JK-триггер с логикой на входе ЗИ
K155ТВ15	Два JK-триггера
K155ТЛ1	Два триггера Шмитта с логическим элементом на входе 4И-НЕ
K155ТЛ2	Шесть триггеров Шмитта-инверторов
K155ТЛ3	Четыре двухходовых триггера Шмитта
K155ТМ2 KM155ТМ2	Два D-триггера
K155ТМ5 KM155ТМ5	Четыре D-триггера
K155ТМ7 KM155ТМ7	Два D-триггера с прямыми и инверсными выходами
K155ТМ8 KM155ТМ8	Счетверенный D-триггер